

⑫ 公開特許公報(A) 昭61-193521

⑬ Int.Cl.⁴

識別号

庁内整理番号

⑭ 公開 昭和61年(1986) 8月28日

H 03 M 1/52

6832-5J

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 AD変換回路

⑯ 特 願 昭60-33807

⑰ 出 願 昭60(1985) 2月22日

⑱ 発 明 者 高 橋 明 憲 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

AD変換回路

2. 特許請求の範囲

積分器と、この積分器を構成するオペアンプの非反転入力端子に零補償期間に出力電圧を印加して零補償部を形成するMOS型スイッチとを有し単一電源で動作するデュアルスロープ型AD変換回路において、前記非反転入力端子にゲートおよびソースが接続され前記MOSスイッチと同一特性をもつMOS型トランジスタと、このMOS型トランジスタのドレインに前記オペアンプの非反転入力端子の電圧を2倍に増幅した電圧を印加する増幅回路とを備えたことを特徴とするAD変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は単電源動作の自動ゼロ補償回路をもつたデュアルスロープ型AD変換回路に関する。

〔従来の技術〕

従来、この自動ゼロ補償回路のあるデュアルスロープ型AD変換回路は、単電源動作の場合、第2図の回路図に示す構成となっている。図において1はコントロールロジック、2はカウンタおよびラッチ、 A_1 は抵抗 R_1 、コンデンサ C_1 と共に積分回路となるオペアンプ、 A_2 は基準電圧源 V_0 と比較するコンパレータ、 A_3 はインバータ、 C_2 は積分器の入力電圧を保持するコンデンサ、 $S_1 \sim S_8$ はMOSスイッチである。この回路がAD変換を実施する第1ステップは自動ゼロ補償である。この自動ゼロ補償の期間では、スイッチ S_1 とスイッチ S_4 とがONとなり、抵抗 R_1 とコンデンサ C_1 とオペアンプ A_1 とからなる積分器およびコンパレータ A_2 を含むアンプ系の利得は1となる。その結果、積分器の入力オフセット V_{off} はそのままだ出力に現れ、コンデンサ C_2 に電圧 $V_{off} + V_0$ として蓄えられる。

第2ステップは入力電圧 V_i があったときの積分期間 T_i である。この期間 T_i は、単電流動作のため入力信号として反転入力電圧 $-V_i$ に定電圧源 V_{ref} を重ねた信号を用い、スイッチ S_1 のみがONとなり、積分器の出力はコンパレータ A_1 の入力オフセット V_{off} から変化を始める。この変化は正方向に直線的に一定時間 T_i に続く。

次の第3ステップは、比較電圧 V_{REF} による積分期間 T_{REF} で、スイッチ S_2 がONとなり、積分器出力の変化は第2ステップのときとは逆に負方向に直線的にコンパレータ A_2 のオフセット電圧 V_{off} まで続く。この期間 T_{REF} でAD変換が行われ、1AD変換サイクル終了する。

なお、スイッチ S_1, S_2, S_3, S_4 のコントロールはコントロールロジック1で行われ、またAD変換結果はカウンタおよびラッチ2に蓄わえられてデジタル出力として送出される。

〔発明が解決しようとする問題点〕

この第2図の回路をパイプラインとMOSとが混在する集積回路上に実現しようとする場合、この

回路の低電圧動作まで保証するにはスイッチ S_1, S_2, S_3, S_4 を構成するMOSスイッチのスレッシュホールド電圧 V_T を下げる必要が生じる。ところが、このスレッシュホールド電圧 V_T を、例えば、0.2~0.5V程度まで下げると、MOSトランジスタ特有のスレッシュホールド電圧以下でもゲート電圧に対して指數的に変化する電流が流れるというテリング現象のため、AD変換の第2ステップ目でスイッチ S_4 のゲート電圧が $0V$ になっても、コンデンサ C_2 に蓄積された電荷がMOSスイッチ S_4 を通して放電してしまふ。その結果、オペアンプ A_1 の非反転入力電圧は時間とともに負方向に直線的に降下し、AD変換結果に誤差を生じてしまふ。

今、MOSスイッチのゲート電圧 $0V$ における電流を I_0 とすれば、次式が成立する。

$$V_1 = \frac{C_1 R_1}{C_2} I_0 \cdot \left(\frac{T_1 + T_{REF}}{T_1} \right) + \frac{V_{REF}}{T_1} \cdot T_{REF} \cdots (1)$$

この式で第1項が I_0 による誤差分となる。例えば $C_1 = 0.1 \mu F, R_1 = 50 k\Omega, T_1 = 10 ms, T_{REF} = 10 ms, C_2 = 0.01 \mu F, I_0 = 100 \mu A$ の場合、第

〔実施例〕

次に本発明を図面により詳細に説明する。

第1図は本発明の一実施例の回路図である。本実施例は、積分器を形成するオペアンプ A_1 の非反転端子にN-MOSTランジスタ Q_{10} のソース、ゲートを接続し、またそのドレインにはコンデンサ C_2 の端子電圧をオペアンプ A_1 の等抵抗値の抵抗 R_{10}, R_{11} からなる正相増幅器を用いて2倍にして印加する。このN-MOSTランジスタ Q_{10} はN-MOSスイッチ S_4 と同じ製造法によって同一サイズで作られたトランジスタとし、オペアンプ A_1 、オペアンプ A_{10} はMOS入力型オペアンプである。

この回路構成により、AD変換の第2ステップでは、MOSスイッチ S_4 のドレイン・ソース間電圧が定電圧源 V_{ref} にほぼ等しくなっているためMOSスイッチ S_4 のテリング現象によるドレイン電流と等しい電流をN-MOSTランジスタ Q_{10} により供給して、補償することができる。従って、(1)式における第1項が無視できるようになるので、AD変換を誤差なく行うことができる。

1項は100mVにもなつて、入力電圧 V_i が($V_i - 100mV$)でAD変換されてしまうことになるという問題点を生ずる。

本発明の目的はこのような問題点を解決し、ゼロ補償部を形成する低スレッシュホールド電圧を有するMOSスイッチのテリング現象によるAD変換誤差を改善したAD変換回路を提供することにある。

〔問題点を解決するための手段〕

本発明の構成は、積分器と、積分器を構成するオペアンプの非反転入力端子に零補償期間に出力電圧を印加して零補償部を形成するMOS型スイッチとを有し単一電源で動作するデュアルスロープ型AD変換回路において、前記非反転入力端子にゲートおよびソースが接続され前記MOSスイッチと同一特性をもつMOS型トランジスタと、このMOS型トランジスタのドレインに前記オペアンプの非反転入力端子の電圧を2倍に増幅した電圧を印加する増幅回路とを備えたことを特徴とする。

〔発明の効果〕

以上、説明したように、本発明によれば、ゼロ補償部を形成するMOSスイッチ部にそれと同じサイズのMOSトランジスタと2倍の正相増幅器とを付加することにより、低電圧動作及び単電源動作が可能な高精度のA/D変換器が得られる。

また、このA/D変換器をC-MOS型集積回路化することは、MOS入力型オペアンプ A_{10} により容易に実現できるため、より精度の高いA/D変換器を得ることが可能となる。

……入力保存コンデンサ、 Q_{10} ……N-MOSトランジスタ、 R_1 ……積分器用抵抗、 R_{10} 、 R_{11} ……正相増幅器用抵抗、 V_0 ……バイアス用定電圧源、 V_1 ……入力電圧、 V_{REF} ……比較電圧である。

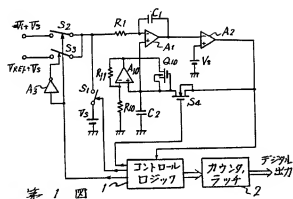
代理人 弁理士 内 原 晋



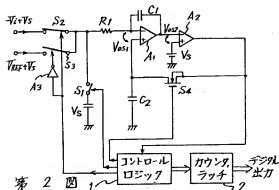
4. 図面の簡単な説明

第1図は本発明の一実施例の回路図、第2図は従来の自動ゼロ補償回路付デュアルスロープ型A/D変換回路の回路図である。図において、

1……コントロールロジック、2……カウンタ、ラッチ、 S_1 、 S_2 、 S_3 、 S_4 ……MOSスイッチ、 A_1 ……積分器用オペアンプ、 A_2 ……コンパレータ、 A_3 ……インバータ、 A_{10} ……正相増幅器用オペアンプ、 C_1 ……積分器用コンデンサ、 C_2 ……



第1図



第2図